

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-160118

(43)Date of publication of application : 25.06.1993

(51)Int.Cl. H01L 21/316  
H01L 21/76

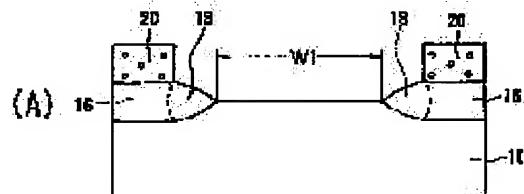
(21)Application number : 03-322093 (71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 05.12.1991 (72)Inventor : HAYASHI TAKANAO  
OONO MORIFUMI

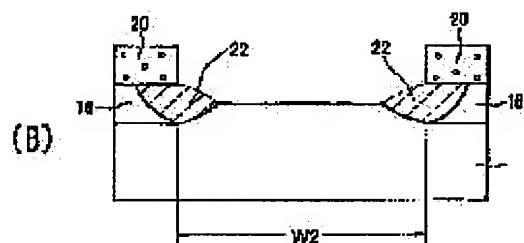
## (54) ELEMENT ISOLATION

### (57)Abstract:

**PURPOSE:** To expand an effective area of an active region according to an area dominated by a bird's beak and to increase the degree of integration of a semiconductor device by forming an element isolation film on the surface of a substrate and by eliminating by etching a part of the bird's beak of the element isolation film.



**CONSTITUTION:** In order to remove a part of a bird's beak 18 of a field oxide film 16 by etching, a resist pattern 20 is formed by a usual method on the other part of the field oxide film 16 than the bird's beak 18. Nextly, with the resist pattern 20 being used as a mask, a part of the bird's beak 18 of the field oxide film 16 which is exposed and which will serve for an element isolation film is removed by etching. It would be preferable if the removal is conducted by isotropic etching. For example, the bird's beak 18 should be etched with HF (hydrofluoric acid). When etched with HF, it means that the bird's beak is etched isotropically and the device has the shape with a part of the bird's beak in a region 22 shown by slant broken lines etched.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-160118

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.<sup>5</sup>

H 01 L 21/316  
21/76

識別記号

序内整理番号

F I

技術表示箇所

M 9169-4M  
7342-4M

H 01 L 21/ 94

A

審査請求 未請求 請求項の数 5(全 6 頁)

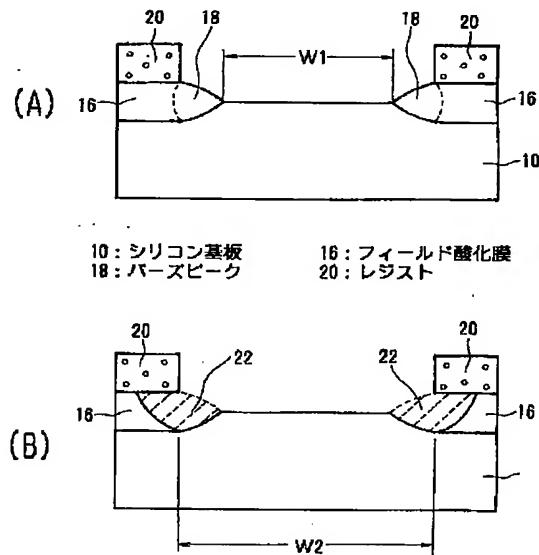
(21)出願番号	特願平3-322093	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成3年(1991)12月5日	(72)発明者	林 孝尚 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(72)発明者	大野 守▲史▼ 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(74)代理人	弁理士 大垣 孝

(54)【発明の名称】 素子分離方法

(57)【要約】

【目的】 MOSFETの形成において、シリコン酸化膜(SiO<sub>2</sub>膜)の選択酸化を行うと、マスキングされている個所に“鳥の口ばし”状のいわゆるバーズピークを生じて能動領域が狭められる。従って、このバーズピーク個所をエッティングによって除去し、能動領域を広め、同一面積当たりの集積度を高める。

【構成】 MOSFET(金属酸化物半導体電界効果型トランジスタ)の形成過程において、不所望に形成されるバーズピークを、フッ酸などによってエッティング除去する。



22 : エッティングによって除去されたバーズピーク

バーズピークのエッティング工程図

## 【特許請求の範囲】

【請求項1】 表面にフィールド酸化膜を形成することによって素子領域を画成する素子分離法において、

- (a) 下地表面に素子分離膜を形成する工程と、
- (b) 形成された素子分離膜のバーズピークの少なくとも一部分をエッティング除去する工程とを含むことを特徴とする素子分離方法。

【請求項2】 請求項1に記載の(b)工程を等方性エッティング技術を用いて行うことを特徴とする素子分離方法。

【請求項3】 請求項1に記載の下地をシリコンとしたことを特徴とする素子分離方法。

【請求項4】 請求項1に記載のフィールド酸化膜をSiO<sub>2</sub> (二酸化シリコン)膜とする素子分離方法。

【請求項5】 請求項1に記載の素子分離膜をLOCOS分離法で形成したSiO<sub>2</sub>膜とすることを特徴とする素子分離方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体素子の製法に用いられる素子分離方法に関する。

## 【0002】

【従来の技術】 素子分離方法は、半導体素子分、特にMOS·VLSI (金属酸化物半導体による超大規模集積回路) の形成工程で素子を作り込む素子領域を画成するために好適な方法であるとして利用されている。以下の発明の説明に先立ち、図5および図6を参照して、代表的なMOSFETの製造方法を簡単に説明し、その後、この発明が問題とするシリコン酸化膜によって形成されるフィールド酸化膜のバーズピークについて説明する。

【0003】 MOSFETの形成方法については、例えば、文献：香山晋著『超高速MOSデバイス』(培風館発行) P. 120~122に開示されている。これに開示されている方法によれば、P型シリコン基板10上に、パッド酸化膜としてシリコン酸化膜12を熱酸化法により形成した後、次いで、素子領域を形成する予定領域の上側の酸化膜部分上にシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)14をCVD (Chemical vapor deposition: 化学蒸着) 技術および適当なパターニング技術を用いて形成する(図5の(A))。

【0004】 次に、パターン化されたSi<sub>3</sub>N<sub>4</sub>膜14をマスクにしてシリコン酸化膜(SiO<sub>2</sub>膜)の選択酸化を行なうと、Si<sub>3</sub>N<sub>4</sub>膜で被覆されていない部分のみが酸化される。このとき酸化された部分は膨張してフィールド酸化膜16が形成され、その一部がSi<sub>3</sub>N<sub>4</sub>膜直下にもぐりこんでバーズピーク18を形成する(図5の(B))。Si<sub>3</sub>N<sub>4</sub>膜およびこのSi<sub>3</sub>N<sub>4</sub>膜下の選択酸化されていないシリコン酸化膜(SiO<sub>2</sub>膜)の部分を除去すると、図5の(C)のように、ほぼ素子

領域のシリコン面が露出する。

【0005】 この後まだ数工程があつてMOSFETは完成するが、これ以降は、この発明に直接関係がないので、その詳細な説明は省略する。

## 【0006】

【発明が解決しようとする課題】 しかしながら、フィールド酸化膜形成のための選択酸化を行うと、Si<sub>3</sub>N<sub>4</sub>で被覆されていない部分のみが酸化され体積が約2倍に膨れ上がる。一方Si<sub>3</sub>N<sub>4</sub>膜で被覆されている部分は、

10 酸化されずそのままの体積を維持している。このため、下地のシリコン基板面に垂直な面で断面を見ると、膨れ上がった端部部分は“鳥のくちばし”状となって、一部はSi<sub>3</sub>N<sub>4</sub>膜の下にまでもぐりこんで、いわゆるバーズピークを生ずる。

【0007】 このバーズピークは本来不要なものでありフィールド酸化膜(シリコン酸化膜)を形成する際に生ずる副産物である。

【0008】 図6はこの状態の説明に供する図で、シリコン基板10の表面のフィールド酸化膜16を形成した状態を、断面図および上面図で示してある。上述した通りバーズピーク18があるとその幅Xだけ周辺領域(実線18aと一点鎖線16aで囲まれた領域)が覆われているため、この部分は素子を作り込めないムダな領域となり、能動領域は実線18aで囲まれた内側の領域が19と狭くなる。この幅Xは、おおむね1μm程度であるが、先の文献によれば、素子分離の距離が0.1μm改善されるだけで、チップサイズは1Mビットクラスでは0.2~0.4mmも縮まるとしており、1μmの縮小が図られれば、2~4mmのサイズダウンとなる。

20 30 【0009】 従って、この発明の目的はバーズピークが占有する面積に応じて能動領域の有効面積を広げて、半導体素子の集積化を高めることができる素子分離方法を提供することにある。

## 【0010】

【課題を解決するための手段】 この目的の達成を図るために、表面にフィールド酸化膜を形成することによって素子領域を画成する素子分離法において、下地表面に素子分離膜を形成する工程(a)と、形成された素子分離膜のバーズピークの少なくとも一部分をエッティング除去する工程(b)とを含むことを特徴とする。

【0011】 この発明の実施にあたり、好ましくは(b)工程を等方性エッティング技術を用い、下地はシリコンとし、素子分離膜をSiO<sub>2</sub> (二酸化シリコン)膜とし、素子分離膜はLOCOS分離法で形成したSiO<sub>2</sub>膜とするのがよい。

## 【0012】

【作用】 この発明の構成によれば、素子分離膜のバーズピークの全部または一部をエッティング除去してしまう。従って、下地面積中、素子を形成する能動領域の面積をその分だけ拡大することができる。また能動領域がバ-

ズピークを除去しない従来と同じ面積でよい場合は、不要なバーズピーク部分を除去することにより、その除去された面積だけ半導体素子の高集積化が可能となる。

【0013】

【実施例】以下、図面を参照して、この発明の実施例を説明する。

【0014】図はこの発明が理解できる程度に、各構成成分の形状、大きさ、および配置関係は概略的に示してあるにすぎない。

【0015】なお、以下の実施例では下地をシリコン基板とし、このシリコン基板にMOSFETを作り込む例について説明する。上述した従来の方法に従い、図5の(A)から(C)までの工程を経てフィールド酸化膜となるシリコン酸化膜を形成したところから、この発明の実施例を説明する。

【0016】まず、この方法では形成したフィールド酸化膜16のバーズピーク18の少なくとも一部分をエッチング除去する。そのため、バーズピーク18部分以外のフィールド酸化膜16上に通常の方法でレジストパターン20を形成する(図1の(A))。

【0017】次に、レジストパターン20をマスクとして、露出している素子分離膜としてのフィールド酸化膜16のバーズピーク18の部分をエッチング除去する(図1の(B))。このエッチング除去を好ましくは等方性エッチングで行う。従って、この実施例では、例えばHF(フッ酸)などによりバーズピーク18をエッチングする。HFで除去した場合、等方性エッチングとなり図1の(B)中、斜めの破線で示した領域22のバーズピーク部分がエッチングされ、図に示すような形状となる。

【0018】なお、図1の(A)および(B)において、W1はバーズピーク16の対向端間の距離であり、W2はエッチング除去後の残存したフィールド酸化膜16の対向端間の距離である。

【0019】図2はこの発明による素子分離形成方法と、従来の素子分離形成方法とによる素子領域の基板面上での占有面積の違いを説明するための図である。この図2は、図1の(A)および(B)を基板面上のレジストパターンを除去した後の残存したフィールド酸化膜16を上から見た平面図である。なお、一点鎖線はゲート電極24を設けた状態を仮想的に示している。この図2からも理解できるように、バーズピーク18の部分を除去する前の素子領域は破線26で囲まれた領域内となり、W1のゲート幅を有している。また、この説明に従って、バーズピーク18をエッチング除去した後は、エッチング除去された分だけ面積が広がり、実線28で示した領域内となる。そのため、ゲート幅もW2となることがわかる。

【0020】この事実より、設計のときゲート幅をバーズピーク18の対向端間の距離W1と設定してある場合

には、バーズピーク18の除去により、ゲート幅はW2となり長くなる。また図には示していないが、逆に、あらかじめバーズピーク16を除去することを想定しておいて除去後の素子分離膜、すなわちフィールド酸化膜16の対向端間の距離は、距離W2を上述した距離W1と同一に設定しておけば、隣接するアクティブ領域間の距離を短縮できることになる。以下この点につき説明する。

【0021】図3の(A)は従来のバーズピーク18の部分をエッチング除去しないままで基板10の素子領域にMOSFETを作り込んだ状態を示す断面図であり、バーズピーク18の対向端間の距離をW1とする。また、図3の(B)は、図3の(A)に示した構造において、この発明に従ってバーズピーク18の部分をエッチング除去し、残存したフィールド酸化膜16の対向端距離がW2(>W1)となっている基板10の素子領域にMOSFETを作り込んだ状態を示す断面図である。

【0022】図3の(A)および(B)において共通の構成成分には同一符号を付して示す。また、フィールド酸化膜のバーズピークのエッチング除去後のMOSFETの各構成成分を作り込む工程は従来周知の任意好適な方法で行い得るので、その詳細な説明は省略する。なお、これら図3において、30a、30bはソース・ドレイン領域、32はゲート絶縁膜、34はゲート電極、36は中間絶縁膜、37aおよび37bはコンタクト孔、38a、38bはアルミニウム(A1)等の金属電極である。

【0023】この図3の(A)および(B)に示した実施例では、従来の素子領域の面積に比べて、この発明に従ってバーズピーク部分を除去した場合の方が素子領域が拡大していることがわかる。

【0024】従ってコンタクト孔37aおよび37bの形成の際のエッチングの余裕度が大きくなる。また、コンタクト孔自体も大きくできるのでコンタクト抵抗の低減を図れる。

【0025】図4の(A)および(B)は、同一基板の上に多数のMOSFETを作り込んだ場合、この発明の方法を用いて作り込んだ場合の構造の方が、従来構造の場合よりも集積度が上がることを説明するための断面図である。設計上、各部分の寸法を次のように定めるとする。図4の(A)において、MOSFETのゲート長方向の直線を横切って、順次に並んだ3個のフィールド酸化膜16の領域について、両側のバーズピーク18を含む2つのフィールド酸化膜16の領域のゲート長方向の長さを $1/2$ (L2)とし、中央のバーズピーク18を含むフィールド酸化膜16のゲート長方向の長さをL2とし、バーズピーク18の対向端間の距離をそれぞれL1とする。

【0026】また、図4の(B)においてバーズピーク18が除去された残存フィールド酸化膜16のゲート長

方向の長さをL3とし、両側のバーズピーク18が除去された残存フィールド酸化膜16の領域の、ゲート長方向の長さを1/2(L3)とする。また、バーズピーク18が除去された残存フィールド酸化膜16の対向端間の距離を図4の(A)のバーズピーク16の対向端間の距離を、図4の(A)および(B)について同一のL1とする。

【0027】このように、設定すれば、ゲート長方向の素子領域の長さL1は従来構造およびこの発明に従って形成した構造ともに同一であるので、素子を作り込む基板面での面積を等しくできる。しかしながら、従来構造ではフィールド酸化膜16の両端のバーズピーク18の分だけ分離領域が長くなり、一方、この発明で得られる構造ではバーズピーク18を除去した分だけ素子分離領域が短くなっている。すなわち距離L3< L2となる。

【0028】従って図4の(A)および(B)に示した、互いに対応する領域間の距離L4およびL5を比較すると、当然ながらL5< L4となる。このことから、この発明による素子分離方法によって同一ウエハ上に素子を作り込む場合、従来よりも高集積化することができるところが理解できる。

#### 【0029】

【発明の効果】上述した説明から明らかなように、この発明によればバーズピークという不要な部分を取り除き、素子間の表面を有効に利用することができる。従って、素子領域にFETを作り込んだ場合、以下のようない效果が得られる。

【0030】①素子分離領域の中心間距離を一定とした場合に、従来構造のゲート幅に比べて、この発明ではゲート幅を広くとれるので、MOSFETの駆動電流が増大し、動作速度が早くなる。

【0031】②従来構造に比べて、この発明ではコンタクト孔を大きくとることができるので、コンタクト抵抗を低減することができる。また、コンタクト孔形成のためのホトリソエッティング工程で位置合わせの余裕が大きくなる。

【0032】③素子領域の幅または長さを従来法による

素子構成と、この発明による素子構成とで同一とした場合に、この発明を用いると素子分離領域を従来よりも縮小して形成できるので、素子の高集積化が可能となる。

#### 【図面の簡単な説明】

【図1】バーズピークのエッティング工程図である。

【図2】この発明の説明図である。

【図3】従来とこの発明の比較説明図である。

【図4】従来とこの発明の比較説明図である。

【図5】MOSFET形成の工程図である。

10 【図6】バーズピークを示す断面図および上面図である。

#### 【符号の説明】

10 :シリコン基板

12 :シリコン酸化膜

14 :シリコン窒化膜

16 :フィールド酸化膜

16a :バーズピーク形成直前のフィールド酸化膜端部

18 :バーズピーク

18a :能動領域の前縁

20 20 :レジスト

22 :エッティングによって除去されたバーズピーク

24 :ゲート電極

30a, 30b :ソース・ドレイン領域

32 :ゲート絶縁膜

34 :ゲート電極

36 :中間絶縁膜

37a, 37b :コンタクト孔

38a, 38b :ソース・ドレイン電極

W1 :従来のゲート幅

30 W2 :この発明のゲート幅

L1 :バーズピーク対向端間の距離

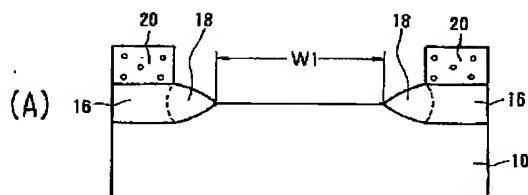
L2 :バーズピークを含むフィールド酸化膜のゲート長方向の長さ

L3 :残存フィールド酸化膜のゲート長方向の長さ

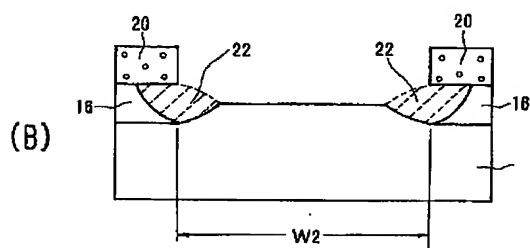
L4 :従来の2個分素子間距離

L5 :この発明の2個分素子間距離

【図1】



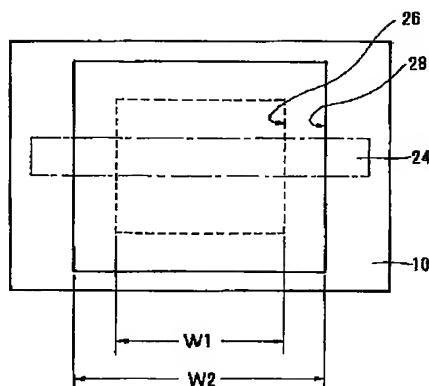
10: シリコン基板  
18: フィールド酸化膜  
20: レジスト



22: エッティングによって除去されたバーズピーク

バーズピークのエッティング工程図

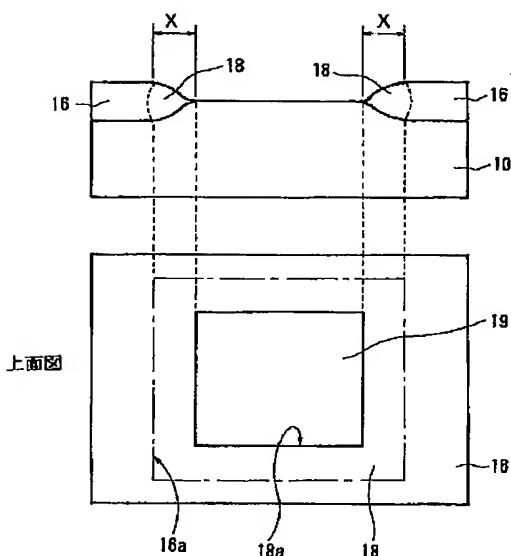
【図2】



24: ゲート電極

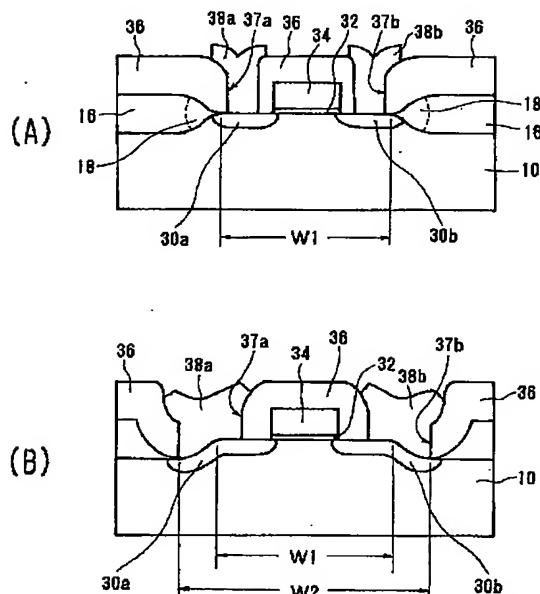
この発明の説明図

【図6】



バーズピークを示す断面図および上面図

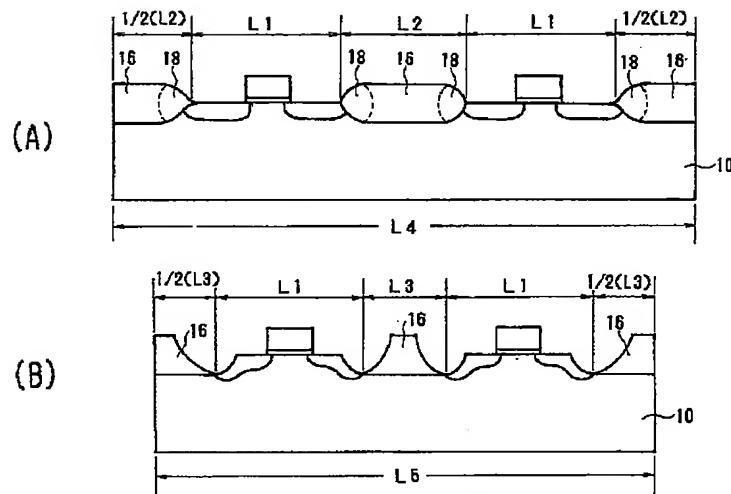
【図3】



30a, 30b: ソース・ドレイン領域  
32: ゲート絶縁膜  
34: ゲート電極  
36: 中間絶縁膜  
37a, 37b: コンタクト孔  
38a, 38b: ソース・ドレイン電極

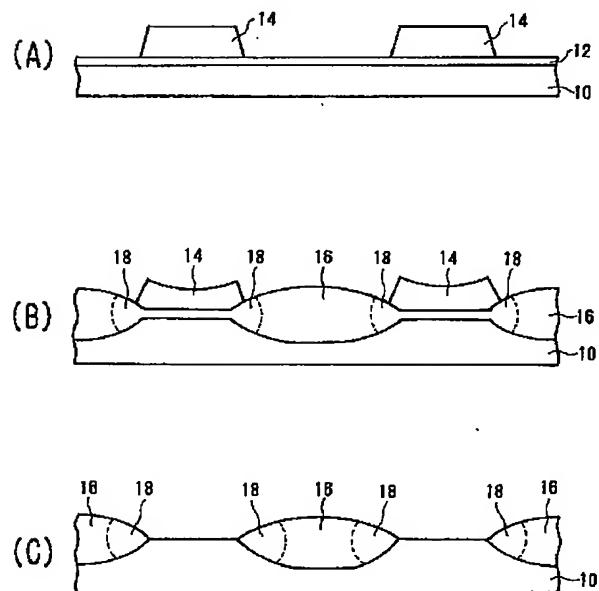
従来とこの発明の比較説明図

【図4】



従来とこの発明の比較説明図

【図5】



MOSFET形成の工程図